

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-314068

(43)公開日 平成5年(1993)11月26日

(51)IntCl.<sup>5</sup>

G 0 6 F 13/40

3/00

識別記号

3 1 0

庁内整理番号

9072-5B

T 7165-5B

F I

技術表示箇所

審査請求 未請求 請求項の数39(全 24 頁)

(21)出願番号 特願平3-305169

(22)出願日 平成3年(1991)11月21日

(31)優先権主張番号 6 1 6 5 8 0

(32)優先日 1990年11月21日

(33)優先権主張国 米国 (U S)

(71)出願人 591259919

バル バラクリシュナン

BALU BALAKRISHNAN

アメリカ合衆国, カリフォルニア

95070, サラトガ, グラナダ コート  
20745

(72)発明者 バル バラクリシュナン

アメリカ合衆国, カリフォルニア

95070, サラトガ, グラナダ コート  
20745

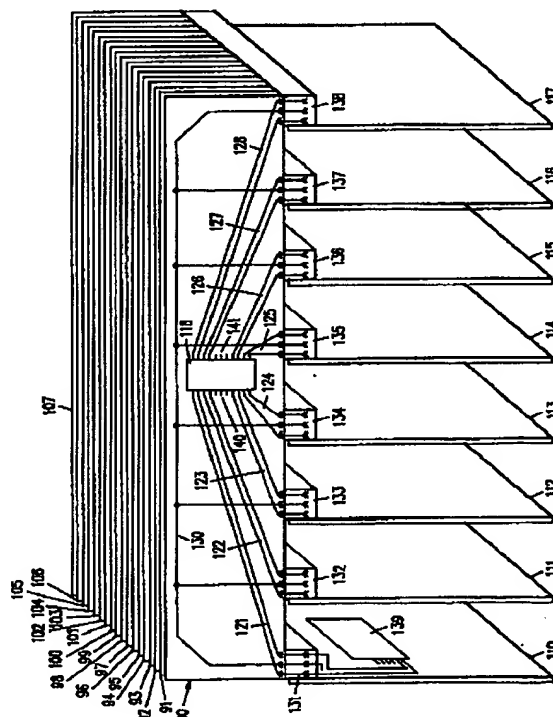
(74)代理人 弁理士 小橋 一男 (外1名)

(54)【発明の名称】 集積バックプレーン相互接続アーキテクチャ

(57)【要約】 (修正有)

【目的】 コンピュータシステムにおいて使用する改良した物理層アーキテクチャを提供する。

【構成】 バックプレーンは、複数のモジュール110-117間に物理層レベル相互接続を与え、相互接続チップと呼ばれる1個又はそれ以上の集積回路90-107内に組込まれた相互接続トポロジの物理層構成を有している。相互接続チップ上には、相互接続トポロジの物理層を構成するための相互接続ドライバ及び相互接続レシーバが組込まれている。これらは、相互接続トポロジの物理層構成と複数のモジュールとの間に点から点へのリンクを与えている。各点から点へのリンクは、2本の別々の点から点へのリンクラインを有することが可能であり、その一方は相互接続ドライバであり他方は相互接続レシーバである。一方、バス相互接続トポロジの場合には、各点から点へのリンクは、単に単一の点から点へのリンクラインを有するトライレベルとすることが可能である。



## 【特許請求の範囲】

【請求項1】 複数個のモジュールを電氣的に結合するバスバックプレーンにおいて、少なくとも1個の集積回路が設けられており、前記少なくとも1個の集積回路の各々は、少なくとも1個のバスラインを有しており、前記少なくとも1個のバスラインの各々に対し、前記少なくとも1個の集積回路の各々が、前記複数個のモジュールの各々に対し点から点へのリンクを与える複数個のバスレシーバ及びバスドライバを有していることを特徴とするバスバックプレーン。

【請求項2】 請求項1において、前記少なくとも1個の集積回路の各々がカード上に設けられており、複数個の前記カードが並列的に配列されていることを特徴とするバスバックプレーン。

【請求項3】 複数個のモジュール間で通信を行なうバスチップにおいて、バスラインが設けられており、前記バスラインに結合して複数個のバスドライバ/レシーバ手段が設けられており、各バスドライバ/レシーバ手段は、前記複数個のモジュールのうちの1個のモジュールと前記バスラインとの間に点から点のリンクを与えることを特徴とするバスチップ。

【請求項4】 請求項3において、各バスドライバ/レシーバ手段が、送信ラッチの出力に基づいて前記バスラインを駆動するために前記複数個のモジュールから関連したモジュールの送信ラッチへ第一の点から点へのリンクラインにより電氣的に結合されているバスドライバ手段と、前記バスライン上の値を受取り且つその値を受信ラッチへ転送するための前記関連するモジュールの受信ラッチへ第二の点から点へのリンクラインによって電氣的に結合されているバスレシーバ手段とを有することを特徴とするバスチップ。

【請求項5】 請求項3において、各バスドライバ/レシーバ手段が3レベルであり、且つ、前記送信ラッチの出力に基づいて前記バスラインを駆動するために前記複数個のモジュールから関連したモジュールの送信ラッチへ点から点へのリンクラインにより電氣的に結合されたバスドライバ手段と、前記バスライン上の値を受取り且つその値を受信ラッチへ送信するために前記関連したモジュールの受信ラッチへ点から点へのリンクラインにより電氣的に結合されているバスレシーバ手段と、を有しており、前記バスドライバ手段は前記送信ラッチの出力端上のデータにのみ応答し、且つ前記受信ラッチは前記バスレシーバ手段からのデータにのみ応答することを特徴とするバスチップ。

【請求項6】 請求項3において、更に、第二バスラインが設けられており、前記第二バスラインに結合して第二複数個のバスドライバ/レシーバ手段が設けられており、前記第二複数個のバスドライバ/レシーバ手段からの各バスドライバ/レシーバ手段は前記複数個のモジュールからの1個のモジュールと前記第二バスラインとの

間に点から点へのリンクを与えることを特徴とするバスチップ。

【請求項7】 請求項6において、前記第二複数個のバスドライバ/レシーバ手段からの各バスドライバ/レシーバ手段は3レベルであり、且つ、送信ラッチの出力に基づいて第二バスラインを駆動するために前記複数個のモジュールからの関連したモジュールの送信ラッチへ点から点へのリンクラインによって電氣的に結合されたバスドライバ手段と、前記第二バスライン上の値を受取り且つその値を受信ラッチへ転送するために前記関連したモジュールの受信ラッチへ点から点へのリンクラインにより電氣的に結合されたバスレシーバ手段とを有することを特徴とするバスチップ。

【請求項8】 複数個のモジュールを電氣的に結合するバスバックプレーンにおいて、複数個の集積回路が設けられており、前記複数個の集積回路の各々は少なくとも1個のバスラインを有しており、且つ前記少なくとも1個のバスラインの各々に対し、前記複数個の集積回路は、前記複数個のモジュールの各々に対し点から点へのリンクを与える複数個のバスレシーバ及びバスドライバを有していることを特徴とするバスバックプレーン。

【請求項9】 請求項8において、更に、前記複数個のモジュールを前記複数個の集積回路へ接続する複数個の点から点へのリンクラインが設けられており、前記複数個の点から点へのリンクラインからの全ての点から点へのリンクラインは等しい長さであることを特徴とするバスバックプレーン。

【請求項10】 請求項8において、前記複数個の集積回路が複数個のカード上に設けられており、前記カードが第一方向に積層されてカードの積層体を形成していることを特徴とするバスバックプレーン。

【請求項11】 請求項10において、前記モジュールがスター形態に前記カード積層体の周囲に配設されており、各モジュールが前記第一方向に平行であり且つ前記カード積層体内の各カードに対し垂直な面内に配向されていることを特徴とするバスバックプレーン。

【請求項12】 請求項11において、更に、前記複数個のモジュールを前記複数個の集積回路へ接続する複数個の点から点へのリンクラインが設けられており、前記複数個の点から点へのリンクラインからの全ての点から点へのリンクラインが等しい長さであることを特徴とするバスバックプレーン。

【請求項13】 請求項10において、前記モジュールが前記カード積層体の2つの側部に2つの積層体の形態で配列されており、各モジュールが、前記第一方向に平行で且つ前記カード積層体内の各カードに対して垂直な面内に配向されていることを特徴とするバスバックプレーン。

【請求項14】 請求項10において、各集積回路が前記複数個のカードのうちの1つにおける孔内に装着され

ていることを特徴とするバスバックプレーン。

【請求項15】 請求項10において、前記カード積層体の上部上にあるカード上の集積回路を除いて、各集積回路はその集積回路が装着されているカードの上方の次のカード内の孔内に延在していることを特徴とするバスバックプレーン。

【請求項16】 請求項10において、各集積回路用のダイが前記複数個のカードからの1個のカード上に装着され且つエポキシで被覆されていることを特徴とするバスバックプレーン。

【請求項17】 複数個のモジュール間でデータ通信を与える方法において、

(a) 少なくとも1個の集積回路内に複数個のバスラインを与え、

(b) 前記少なくとも1個の集積回路内に設けられているバスドライバ及びバスレシーバを使用して構成され且つ前記複数個のバスラインと前記複数個のモジュールとの間に電氣的インターフェースを与える点から点へのリンクを介して前記複数個のモジュールを前記複数個のバスラインへ接続する、上記各ステップを有することを特徴とする方法。

【請求項18】 請求項17において、前記点から点へのリンクが、複数個の点から点へのリンクラインを有しており、前記複数個の点から点へのリンクラインからの全ての点から点へのリンクラインが等しい長さであることを特徴とする方法。

【請求項19】 請求項17において、前記少なくとも1個の集積回路の各々が少なくとも1個のカード上に設けられており、前記少なくとも1個のカードが第一方向に積層されてカード積層体を形成していることを特徴とする方法。

【請求項20】 請求項19において、前記ステップ(b)において、前記モジュールをスター形態で前記カード積層体の周りに配設し、各モジュールが前記第一方向に平行で且つ前記カード積層体における各カードに対し垂直な面内に配向されていることを特徴とする方法。

【請求項21】 請求項19において、ステップ(b)において、前記カード積層体の2つの側部に前記モジュールを2つの積層体に配設し、各モジュールが前記第一方向に平行で且つ前記カード積層体内の各カードに対し垂直な面内に配向されていることを特徴とする方法。

【請求項22】 複数個のモジュールを電氣的に結合するバックプレーンにおいて、少なくとも1個の集積回路が設けられており、前記少なくとも1個の集積回路の各々が相互接続トポロジの少なくとも1個の1ビット構成を有しており、前記少なくとも1個の1ビット構成に対し、前記少なくとも1個の集積回路の各々が前記複数個のモジュールの各々に対し点から点へのリンクを与える複数個の相互接続レシーバ及び相互接続ドライバを有していることを特徴とするバックプレーン。

【請求項23】 請求項22において、前記少なくとも1個の集積回路の各々がカード上に設けられており、複数個の前記カードが並列に配列されていることを特徴とするバックプレーン。

【請求項24】 請求項22において、前記相互接続トポロジがバストポロジであることを特徴とするバックプレーン。

【請求項25】 請求項22において、前記相互接続トポロジがリングトポロジであることを特徴とするバックプレーン。

【請求項26】 請求項22において、前記相互接続トポロジが回路スイッチ型トポロジであることを特徴とするバックプレーン。

【請求項27】 複数個のモジュールを電氣的に結合するバックプレーンにおいて、複数個の集積回路が設けられており、前記複数個の集積回路の各々が少なくとも1ビットの相互接続トポロジを有しており、且つ前記少なくとも1ビットの相互接続トポロジの各々に対し、前記複数個の集積回路が前記複数個のモジュールの各々に対し点から点へのリンクを与える複数個の相互接続レシーバと相互接続ドライバとを有していることを特徴とするバックプレーン。

【請求項28】 請求項27において、更に、前記複数個のモジュールを前記複数個の集積回路へ接続する複数個の点から点へのリンクラインが設けられており、前記複数個の点から点へのリンクラインからの全ての点から点へのリンクラインが等しい長さであることを特徴とするバックプレーン。

【請求項29】 請求項27において、前記複数個の集積回路が複数個のカード上に設けられており、前記カードが第一方向に積層されてカードの積層体を形成していることを特徴とするバックプレーン。

【請求項30】 請求項29において、前記相互接続トポロジがバストポロジであることを特徴とするバックプレーン。

【請求項31】 請求項29において、前記相互接続トポロジがリングトポロジであることを特徴とするバックプレーン。

【請求項32】 請求項29において、前記相互接続トポロジが回路スイッチ型トポロジであることを特徴とするバックプレーン。

【請求項33】 複数個のモジュール間のデータ通信を与える方法において、

(a) 少なくとも1個の集積回路内において相互接続トポロジの物理層構成を与え、

(b) 前記少なくとも1個の集積回路内に設けられている相互接続ドライバ及び相互接続レシーバを使用して構成され且つ前記相互接続トポロジの物理層構成と前記複数個のモジュールとの間に電氣的インターフェースを与える点から点へのリンクを介して前記複数個のモジュール

ルを前記相互接続トポロジの前記物理層構成へ接続させる、上記各ステップを有することを特徴とする方法。

【請求項34】 請求項33において、前記点から点へのリンクが、複数個の点から点へのリンクラインを有しており、前記複数個の点から点へのリンクラインからの全ての点から点へのリンクラインが等しい長さであることを特徴とする方法。

【請求項35】 請求項34において、前記少なくとも1個の集積回路が各々少なくとも1個のカード上に設けられており、前記少なくとも1個のカードが第一方向に積層されてカードの積層体を形成していることを特徴とする方法。

【請求項36】 請求項33において、ステップ(b)において、前記モジュールをスター形態で前記カード積層体の周囲に配設し、各モジュールが前記第一方向に平行で且つ前記カード積層体内の各カードに対して垂直な面内に配向されていることを特徴とする方法。

【請求項37】 請求項36において、前記相互接続トポロジがバストポロジであることを特徴とする方法。

【請求項38】 請求項36において、前記相互接続トポロジがリングトポロジであることを特徴とする方法。

【請求項39】 請求項36において、前記相互接続トポロジが回路スイッチ型トポロジであることを特徴とする方法。

#### 【発明の詳細な説明】

#### 【0001】

【産業上の利用分野】本発明は、コンピュータシステムに使用する改良型物理層アーキテクチャに関するものである。本発明は、バストポロジを構成する物理層の性能を向上させるのに特に有用なものであるが、例えばリングトポロジ又は回路スイッチ型トポロジ等のようなその他の相互接続トポロジの性能を向上させるために使用することも可能である。

#### 【0002】

【従来の技術】コンピュータシステムにおいては、バスは、論理ブロック乃至はモジュールの間の通信のために一般的に使用される相互接続トポロジである。モジュールは、例えば1組のプリント回路基板トレース又はワイヤ等の共通媒体へ接続する。モジュールのバスへのアクセス及びデータ転送を支配する規則はバスプロトコルを構成する。一般的には、バス上の全てのモジュールは同一のプロトコルを使用せねばならない。

【0003】バスの典型的な構成は、プリント回路(PC)基板内に埋設された1組のトレースから構成されている。モジュールは、バストランスバを介してバスへ接続する。バスに接続されたモジュールは、全て同一のPC基板上に存在することが可能である。一方、バスのモジュールは、別々のPC基板上に存在し且つ一連のコネクタを介してバスの物理的媒体を組込んだ電気機械的構成体へ取付けることも可能である。このバスの物理

的媒体を組込んだ電気機械的構成体はバスバックプレーン(バス背面)と呼ばれる。このバスバックプレーン及びバスプロトコルの物理的特徴を定義する種々のスタンダードが開発されている。これらのバススタンダードは、VME、Futurebus、Multibus、Nubus等がある。このようなバススタンダードを使用することにより、エンドユーザが、単一のバスバックプレーン上にエンドユーザ自身のコンピュータシステムを構築して、多数の異なった製造業者により設計された多様なモジュールを使用することが可能となる。

【0004】典型的に、マイクロコンピュータの物理的アーキテクチャにおいては、このバスバックプレーンは、そのマイクロコンピュータ用の論理を収納するマザーボード(母親基板)と呼ばれるメインのPC基板上に組込まれている。プラグインモジュール(そのうちの幾つかはドータボード(娘基板)と呼ばれている)が、コネクタを使用してマザーボードへ取付けられる。該プラグインモジュールは、例えば、メモリを有するPC基板、ディスクドライブ用のコントローラ、相互接続トポロジの物理層に対するインターフェース用のコントローラ、シリアル(直列)ポートを制御する論理、及び/又はパラレル(並列)ポートを制御する論理等を包含することが可能である。

【0005】一般的に、コンピュータシステムのモジュール間の通信の場合には、リングトポロジ又はスイッチ型トポロジ等の他のトポロジよりも、多くの理由により、バストポロジが好適である。例えば、バスプロトコルは、通常、他のトポロジに対するプロトコルよりも著しく簡単である。更に、バストポロジは高度にコンフィギャラブル即ち所望の構成を有する形態とすることが可能である。即ち、モジュールを付加することが可能なバス上の各スロット位置は、該バス上のその他の全てのスロット上のモジュールに対して同じように接続されている。更に、バストポロジは廉価である。共通の媒体は、単に金属ライン及びコネクタから構成されるに過ぎない。バススロットの各スロットは、未使用のスロットを与えるための増分的費用が著しくない程度に充分に廉価なものである。

【0006】しかしながら、バストポロジを使用することには幾つかの実制的な制限が存在している。例えば、取付けたモジュールに起因するバス上の容量負荷は伝搬遅延を著しく増加させる。このことは、殆どのタイプのデータ転送プロトコル、例えば、データ転送が中央においてクロック動作される同期型プロトコル、及び各データトランスファ毎にハンドシェイクを必要とする非同期型プロトコルにおいて、データ転送レートに著しく影響を与える。容量負荷により発生されるバスのラウンドトリップ(一周)遅延により影響を受けることのない唯一のデータ転送タイプは、長いバースト転送が送信者によりクロック動作される非強制的ソース同期型バスであ

る。このような転送においては、データ転送レートは、データ及びストロブのビット間のスキュー即ち歪みにより制限されるに過ぎない。

【0007】この容量負荷は、更に、バスラインのインピーダンスを、非常に低い値、即ち約20Ωへ減少させる。バス上のバスドライバはバスインピーダンスの半分の値、即ち10Ωを経験するので、フルスピード即ち全速力においてバスを駆動するためには高電流が必要とされる。例えば、TTLに対して典型的なバス上での3Vのスイング即ち振れは、適切な終端を有する第一遷移上でバスを駆動するためには、300mA(3V/10Ω)を必要とする。殆どのバスドライバは50乃至100mAが定格であるに過ぎないので、バスは、典型的に、不足がちに終端され且つ最終的レベルへ信号をビルドアップ即ち構築させるために反射に依存する。該反射は、安定するためには1つ又はそれ以上のバスのラウンドトリップ遅延を必要とし、その際に安定化時間遅延が発生し、該遅延はバスに対しての転送サイクル時間の著しい部分を占める。

【0008】この安定化時間問題は、バスを完全なターミネーション即ち終端で適切に駆動することにより回避することが可能である。このことは、駆動電流を増加させることにより行なうことが可能であるが、そうすることにより、システム内のパワー及びノイズを著しく増加させることとなる。更に、より高い電流のバスドライバは出力容量が一層大きく、そのことはバスインピーダンスを更に減少させることとなる。別法として、安定化時間問題は、電圧のスイング即ち振れを減少させることにより回避することが可能である。例えば、バスをバックプレーントランシーバロジック(BTL)を使用して実現することが可能であり、該ロジックはバス負荷を減少させるためにより低い容量のトランシーバを使用し且つ必要とされる量の駆動電流を許容可能なレベル(即ち、50乃至100mA)へ減少させるためにより低い信号レベルを使用し、一方最初の遷移(反射なし)上で完全な負荷の下でバスを駆動するものである。バスの安定化時間を除去することは、現在の技術水準のバスにおけるデータ転送レートを著しく改善する。典型的に、この改善は50%である。

【0009】バスを駆動するために必要とされる高電流は、多大のパワーを必要とするばかりでなく、集積回路パッケージの電力散逸限界に起因して単一の集積回路内に組込むことが可能なトランシーバの数を制限することとなる。典型的に、各集積回路は8個乃至10個のトランシーバへ制限されている。その結果、幅広のデータ/アドレスフィールド及び関連する同期信号は、トランシーバ用の複数の集積回路を必要とする。例えば、制御ビット及びクロックを有する32ビットバスに対しては、トランシーバを有する5個乃至6個の集積回路が必要とされる場合がある。処理、温度及び供給電圧変動に

起因して異なったチップにおけるトランシーバ間の伝搬遅延(スキュー)における差異は、同期パルスがバスレシーバに到着する前に、バスを介して送給したデータが有効であることを保証するためには、同期信号が該スキューの量だけ遅延されることを必要とする。この遅延は、顕著な係数であり、バス上の最大データレートを制限する。

#### 【0010】

【発明が解決しようとする課題】本発明は、以上の点に鑑みなされたものであつて、上述した如き従来技術の欠点を解消し、コンピュータシステムにおいて使用する改良した物理層アーキテクチャを提供することを目的とする。

#### 【0011】

【課題を解決するための手段】本発明の好適実施例によれば、バスバックプレーンが提供される。本バスバックプレーンは、複数のモジュール間に物理層レベル相互接続を与える。本バスバックプレーンは、1つ又はそれ以上の集積回路内に組込まれている複数のバスラインを有している。少なくとも1個のバスラインを有する各集積回路は、又、本明細書においては、バスチップとも呼称される。

【0012】バスラインと共にバスチップ上にバスライン用のバスドライバ及びバスレシーバも組込まれている。これらのバスドライバ及びバスレシーバは、バスライン及び複数のモジュール間においてポイントからポイント即ち点から点へのリンクを与える。バスラインとモジュールとの間の各ポイントからポイント即ち点から点へのリンクは、2つの別々のポイントからポイント(点から点)リンクラインを有することが可能であり、その一方はバスドライバに対するものであり且つ他方はバスレシーバに対するものである。一方、バスラインとモジュールとの間の各ポイントからポイント即ち点から点のリンクは、単に単一のポイントからポイントのリンクラインを包含するトライレベル(3レベル)とすることが可能であり、即ち、該単一のポイントからポイント(点から点)リンクライン上でモジュールとバスドライバ又はバスレシーバとの間で送信される信号は3つのレベルのうちの1つのレベルを有している。このトライレベルシステムにおいては、モジュールの送信ラッチ及び受信ラッチ、及びバスドライバ及びバスレシーバは、全て、単一のポイントからポイントへのリンクラインへ接続されている。しかしながら、バスドライバは、送信ラッチの出力端上のデータにのみ応答し、且つ受信ラッチはバスレシーバからのデータにのみ応答する。

【0013】本発明の好適実施例においては、各バスチップが1つ又は2つのバスラインを有するに過ぎない。バスチップは、第一方向にスタックされた、即ち積層された複数のカード上に配設されている。該モジュールを、多様な配向状態で該カードのスタック即ち積層体の

周囲に配設させることが可能である。例えば、該モジュールを、スター形態で該カードのスタックの周囲に配設させることが可能であり、その場合には各モジュールは第一方向に対して平行であり且つ該カードのスタックにおける各カードに対して垂直な面内に配向される。別法として、該モジュールを該カードのスタック（積層体）の2つの側部上に2つのスタックとして配設することが可能であり、この場合、各モジュールは第一方向に対して平行であり且つカードのスタックにおける各カードに対して垂直な面内に配向される。本発明は、従来技術と比較して幾つかの利点を有している。例えば、各バスラインは集積回路内のノードへ還元される。従って、バスラインは、従来のバスの容量よりも二桁大きさが小さな容量を有している。このことは、バスを駆動するのに必要なパワー即ち電力が二桁減少されることを意味する。

【0014】更に、パワーの節約に加えて、本発明は、更に、比較のために使用される技術、バスプロトコルのタイプ及び使用される転送モードに依存して、従来技術よりも少なくとも3乃至5倍バスの最大データ転送レートを増加させている。速度の改善に対する理由は、例えば、バス安定化時間の除去を包含している。バスラインは集積回路内のノードへ還元されているので、バス性能を制限する反射又は安定化時間はない。更に、本発明により使用されるポイントからポイント即ち点から点へのリンクは、単に、従来技術におけるトランシーバ及び各データ／アドレスラッチとの間に存在するリンクの延長部のみである。しかしながら、ポイントからポイント即ち点から点へのリンクは、従来技術における如く、ロードされた即ち負荷がつけられたバスよりも3倍乃至5倍伝搬遅延が小さい。更に、バスチップ内側のバスノードに対する容量負荷が低いのでバスドライバ入力端からバスレシーバ出力端へのバスチップを介しての伝搬遅延は非常に小さい。実際に、与えられた技術（TTL, CMOS, ECL等）の場合、バスチップは、従来技術におけるトランシーバの遅延よりもかなり小さな遅延を有することが可能である。モジュールに対する点から点へのリンクにおけるより小さな遅延と結合して、このことは、バスドライバ遅延及びバスレシーバ遅延を包含したバスのラウンドトリップ遅延を著しく減少させている。従って、幾つかの非同期バスにおいて使用されるソース同期型非強制型バースト転送を除いてバス転送の全てのタイプを有する待時間依存性バス転送レート及びバスアービトラージ（仲裁）／アクセス時間は著しく改善される。

【0015】チップスキューが小さいので、最大データ転送も増加される。点から点へのリンクを駆動するパワー即ち電力条件が低いので、これらのリンクは、全データ経路を包含するVLSIチップ及び同一のチップ上の同期信号により直接的に駆動することが可能である。このことは、これらのラインの間のスキューを顕著に減少

させる。更に、バスチップのチップ毎のスキューは、種々の利点のために、小さいまま維持することが可能である。例えば、電力散逸が小さいので全てのバスチップを大気温度近くの温度に維持する。これらのチップをバックプレーンシステムの一体的部分として物理的に近接して組込むことにより、それらの温度はバス上に与えられるビットの極性とは独立的に、実質的に同一に維持することが可能である。それらの供給電圧も、同一の理由により、実質的に同一とすることが可能である。バスノード及び点から点へのリンクの一定の負荷のために、バスチップ間で発生する伝搬遅延の変動は、主に処理変動に起因するものであり、該処理変動は、製造処理期間中に、回路設計又は遅延のオンチップトリミングの何れかにより補償させることが可能である。スキューが小さいことは、例えば、ある非同期バスにおいて使用されるソース同期型非強制型バースト転送等のようなスキュー制限型転送モードに関するデータ転送レートを増加させる。

【0016】更に、クロック分布スキューが小さいので、最大データ転送も増加される。中央によりクロック動作される（同期型）バスに関しては、本発明は一桁クロック型分布スキューを減少させる。従来技術においては、中央バスクロックは1つの否定されたモジュール上で発生され且つバスラインを介して他の基板へ送給されている。バスの有限の伝搬遅延のために、該クロックは異なった時間において異なった基板に到達する。これは空間スキューと呼ばれている。更に、そのクロックラインへ接続された異なったモジュールにおけるバスレシーバ間のスキューもクロック分布スキューに貢献する。これらのスキュー+その他の遅延成分の最悪の値は、最大データレート乃至はクロック周波数を決定する。本発明においては、バス上の位置とは独立的に、中央クロックが、最初に、バスチップ内側のバスノードに到達し、次いでそこから、同一のチップ上の同一のバスレシーバを介して、全てのその他のモジュールへ分配される。これらのバスレシーバは、それらの間で非常に小さなスキューを有している。更に、チップからモジュールへのポイントからポイント即ち点から点へのリンクの長さは、レイアウト設計により実質的に同一のものとさせることが可能であり、その場合には、モジュール間におけるスキューが最小の状態ですべてのモジュールへクロックパルスを同時に到達させることが可能である。更に、中央クロックを有するモジュールの位置をバス上の特定のロットへ制限させることは必要ではない。

【0017】最後に、本発明は、ワイヤーORグリッチ遅延を除去している。最大データ転送も増加される。本発明は、従来技術におけるバスラインの伝送線特性により発生されるワイヤーORグリッチを取除いている。このことは、これらのライン上にグリッチフィルタを設ける必要性を取除くと共に、このようなグリッチフ

フィルタにより導入される遅延を除去している。このような遅延は、バスラウンドトリップ遅延+回路の公差に等しい。本発明におけるグリッチフィルタに対する必要性を除去することは、分散型アービトレーションプロトコルを使用する同期型及び非同期型バスの両方に関するアービトレーション（仲裁）時間を減少させ、且つワイヤーORハンドシェイクラインを使用する非同期型マルチスレーブ転送に関するデータ転送レートを増加させる。

【0018】本発明は、更に、バーストレートが電流技術によってのみ制限されるという利点を有している。伝搬遅延が小さいので、ポイントからポイント即ち点から点へのリンクは、非常に早い転送速度の場合を除いて、終端されることは必要ではない。例えば、20%から80%で測定される点から点へのリンクを介しての信号の上昇時間及び下降時間は、伝送ライン効果が顕著なものとなる前に、伝搬遅延（1フィートの長さのバックプレーンの場合には、約1.7ナノ秒）の2倍より小さくなる必要がある。その場合でも、点からの点へのリンクは、反射を回避するために、ソースにおいて直列的に終端させることが可能である。点から点へのリンクに関してのみ使用することが可能な直列終端（即ち、直列成端）は、それがDC電力を必要とすることがないという利点を有している。完全に成端されたリンクの場合には、データ転送は、非常に早い速度で発生することが可能であり、それはバスドライバ及びバスレシーバに対して使用される技術によって制限されるに過ぎない。

【0019】本発明は、更に、電力節約を与えるのみならず、プラグインモジュール上の基板空間を自由にさせるという利点も有している。プラグインモジュール上において高パワーのバストランシーバが必要とされることはないので、付加的な機能性を組込むためのより多くの基板空間が存在し且つより多くのパワーを使用することが可能である。

【0020】更に、本発明は、技術及びバスプロトコルとは独立している。従って、ソフトウェアを変更することなしに、既存のバスをアップグレードさせることが可能であり、システムがより早い速度の利点を得ることを可能とする。

【0021】更に、本発明においては、各ビットが、接地プレーン（面）を使用することにより隣接するボード即ち基板からシールドさせることが可能なバスチップモジュールに対し分離されているので、クロストークが著しく減少される。しかしながら、従来技術においては、バスラインの平行延長部が長いので、クロストークは厳しい問題であり、特別の注意が必要とされている。

【0022】更に、本発明においては、バス性能はバス負荷分布とは独立的である。従来技術においては、部分的に部品が設けられているバックプレーンの長さに沿ってモジュールの分布が不均一であるために、バスインピーダンスにおいて不連続性を発生しており、そのため

に、反射を発生し、該反射は、通常、性能を犠牲にして吸収する必要がある。ある最悪の場合の分布では、予測するのが困難であり且つ設計により迂回することが困難な間欠的な障害を発生する場合がある。本発明においては、バスローディング即ち負荷は、任意のスロットにおけるプラグインモジュールの有無により影響を受けることはない。従って、バスは、全ての負荷条件下において同一の態様で動作し、全ての負荷形態に対処するために性能において妥協が行なわれることはない。

【0023】更に、本発明においては、バスプラグインモジュール間の間隔に関し制限は存在していない。従来技術においては、モジュールの間隔が小さいので、バスインピーダンスが減少されている。本発明においては、モジュール間の間隔はバス負荷に関係しないので、このことは何等问题ではない。実際に、間隔が小さいとバスチップに対するトレースの長さが減少され、性能を改善し、且つバックプレーンを一層小型のものとすることが可能となる。

【0024】更に、本発明は、従来技術と比較して、より多くの機械的及び電氣的柔軟性を与えている。バスチップモジュールボード（基板）の全ての側部上にバスコネクタを装着することが可能である。このことは、低いエントリコスト用のバスバックプレーンなしで、単一基板コンピュータをバス上のモジュールとして構築することを可能とする。マザーボードに対しバックプレーンスロットのうちの1つの中に単にプラグイン即ち挿入することにより、バックプレーンに、後に、所要数のスロットを付加することが可能である。本発明のバスチップアーキテクチャの機械的柔軟性は多くのコンフィギュレーション即ち形態をとることを可能としている。又、バックプレーン接続に対するプラグインモジュールは点から点へのリンクから構成されているので、アクティブなリピータに対する必要性なしで、拡張カード乃至はフレキシブルケーブルを使用することにより、相互接続を拡張することは容易である。バスチップ上のPC基板トレースのインピーダンスは約100Ωである。これは、殆どのケーブルのインピーダンスに近く、従って良好なインピーダンスマッチを与えている。従来技術においては、拡張部はスタブのように作用し、それは、メインバスに近接したスタブを分離するためにアクティブな装置が使用されない限り、バスの性能に著しく影響を与える。本発明の場合には、延長部の長さに対する唯一の制限は付加される遅延である。数インチ乃至数フィートの非常に有用な距離に対しては、最大データ電送レートにおける減少は、バスを別のシャシへ延在させる柔軟性に比較して小さい。

【0025】従来技術に基づいて構成されるバックプレーンは、メッキした孔を有する高価な多層（典型的に5乃至8層）プリント回路基板技術を必要とする。本発明に基づくバスチップモジュールは、一方の層が単に接地



面である低コストの２層表面装着技術で且つメッキした孔を必要とすることなしに実現させることが可能である。ビットレベルにおけるこのアーキテクチャの拡張性のために、異なったタイプ及び寸法のバスを構築するために同一のバスチップモジュールを使用することが可能であり、そのことはモジュールの量を増加させ、製造コストを減少させることを可能としている。バックプレーンは、欠陥性のバスチップモジュールを単に置換することにより容易に修復させることが可能である。従来のバックプレーンにおいては、多層ボード（基板）内のショート又は切断又はコネクタ挿入期間中におけるメッキした貫通孔に対する損傷は修復不可能であり、従って、歩留りを低下させ、製造コストを増加させていた。本発明は、更に、遅延及びスキューを保証するために、バックプレーンレベルにおける電氣的性能テストを行なうことを可能としている。各バスチップ上のバスドライバ及びバスレシーバはプラグインモジュールから独立的であるので、このようなテストが可能である。このことは、更に、バススタンダード（基準）を特定することを一層容易とし且つ正確なものとしており、非常に高いデータレートにおける場合であっても、異なった製造業者からのボード即ち基板の間の適合性を増加させている。モジュールからトランシーバを除去することにより得られる付加的なコストの節約及びバスシステムの電力条件を減少することによる節約が存在している。

【００２６】最後に、本発明のモジュールは、バスチップによりバスノードから分離されているので、そのアーキテクチャは、信頼性のある生の挿入及び除去を行なうことを可能としている。モジュールの挿入又は除去期間中にバスドライバ出力端上に高インピーダンスのバス状態を与えるためにモジュールを構成することにより、パワーをターンオフさせることなしに、メンテナンス又はバスのリコンフィギュレーション即ち再構成を行なうことが可能である。従来技術においては、挿入及び除去期間中にバス負荷状態に変化が発生するので、生の挿入及び除去を行なうことは本来的に一層困難である。

【００２７】尚、本発明は、バスポロジの物理層具体例の性能を向上させるために特に適しているが、本発明は、更に、例えばリングトポロジ又は回路スイッチ型トポロジの物理的構成のようなその他のトポロジの性能を向上させるために使用することも可能である。

#### 【００２８】

【実施例】図１及び２は、従来のバスシステムの簡単化した概略図を示している。マザーボード（母親基板）１がバスバックプレーンを収納している。プラグインモジュール３が、コネクタ２を介して、バスバックプレーンへ接続されている。トレースライン４は、バスの物理的媒体として作用する。トレースライン４は、バスの全てのデータ／アドレスライン及び付加的なクロック及び／又は制御ラインに対するトレースラインを有している。

例えば、３２ビットバスは、典型的に、３２個のデータ／アドレスラインと、クロックラインと、２０個の制御ラインとを有しており、全体で５３本のラインを有している。図３に示した如く、各プラグインモジュール３は、バスのトレースライン４の各々に対し、バスドライバ１０とバスレシーバ１１とを有している。

【００２９】図４は、典型的な従来の同期型バスのビットライン３０に対する受信及び送信ロジック（論理）の概略図を示している。端部駆動クロック源３２が、システムに対するクロック信号を供給する。一方、中央駆動クロック源２９を使用することも可能である。クロック源２９又は３２からのクロック信号は、クロックライン３１に沿って全てのプラグインモジュールへ伝搬する。

【００３０】単一のバスラインを駆動するためのロジック（論理）が、プラグインモジュール４３及びプラグインモジュール４４に対して示されている。プラグインモジュール４３がデータを送信する場合、送信されるべきデータは送信ラッチ２２の入力端２３上に配置される。プロトコルロジック２０は、ゲート２１を介して、入力端２３上のデータを送信ラッチ２２の出力端２５へ転送することを制御する。プラグインモジュール４３は、バスレシーバ２８を介して、ライン２６へのクロック信号を受取る。データは、バスドライバ２７を介して、バスバックプレーン上のビットライン３０へ送信される。

【００３１】プラグインモジュール４４がデータを受取ると、データは、バスレシーバ３４を介してビットライン３０から受信ラッチ３８の入力端３７へ受取られる。プロトコルロジック４０は、ゲート３９を介して、受信ラッチ３８の出力端４１へのデータの転送を制御する。プラグインモジュール４４は、バスレシーバ３３を介して、ライン３６へのクロック信号を受取る。

【００３２】現在の技術水準のバスに対する最大データ転送乃至は伝送レートは幾つかの遅延成分によって制限されている。例えば、バスドライバ２７及びバスレシーバ２８、３３、３４を介して信号が伝搬する際に遅延が存在している（ $t_D$ 、 $t_R$ ）。受信ラッチ３８への入力セットアップされる場合及びデータが受信ラッチ３８により保持される場合に遅延が存在している（ $t_S$ 、 $t_H$ ）。クロック信号がゲート２１を介して送信ラッチ２２の出力端２５へ伝搬する場合に遅延がある（ $t_C$ 、 $t_O$ ）。又は、バスビットライン３０を介して信号が伝搬する場合にも遅延がある（ $t_B$ ）。バス上の信号の反射が安定化する場合にも遅延がある（ $t_{ST}$ ）。バスドライバ２７とプラグインモジュール４３上のその他のバスドライバとの間のスキューにより発生される遅延があり（ $t_{Dsk}$ ）、又バスレシーバ２８とプラグインモジュール４３上のその他のレシーバとの間のスキューにより発生される遅延があり（ $t_{Rsk}$ ）、バスレシーバ３３とプラグインモジュール４４上のその他のレシーバとの間のスキューにより発生される遅延があり（ $t_{Rs}$ ）



k)、バスレシーバ34とプラグインモジュール44上のその他のバスドライバとの間のスキューにより発生される遅延があり(tRsk)、送信ラッチ22とプラグインモジュール43上のその他の送信ラッチとの間のスキューにより発生される遅延があり(tCsk)、受信ラッチ38とプラグインモジュール44上のその他の受信ラッチとの間のスキューにより発生される遅延があり(tssk)、バスライン30とバスバックプレーン上のその他のバスラインとの間のスキューにより発生される遅延(tBsk)がある。更に、中央で発生されたクロックが使用される場合にはクロック分布スキュー(tSsk)が存在している。

【0033】例えば、Nubus、Multibus II、VMEbus等のような公知の現在の技術水準である32ビットのスタンダードなバス上でのピークのデータレートは、約100ナノ秒当たり1個の伝送か又は10個のメガ伝送/秒(MT/S)へ制限されている。この遅延のうちで、30乃至35%は、バスドライバの不十分な駆動から発生する安定化時間に起因するものである。例えばBTLを使用してバスの十分な駆動及び適切な成端を行なうと、伝送レートは約15MT/Sへ改善される。

【0034】本発明の好適実施例によれば、バスラインが、そのバスラインに対するバスドライバ及びバスレシーバと共に、集積回路上に配置されている。例えば、図5は、本発明の一具体例を示しており、その場合、バスバックプレーンは、複数のカード90乃至107から構成されている。プラグインモジュール110乃至117は、コネクタ131乃至138を介して、バスバックプレーンへ接続されている。各プラグインモジュール上のバスプロトコル回路は、該バスを介してデータ伝送をコーディネートする。例えば、プラグインモジュール110上において、バスプロトコル回路139が示されている。

【0035】カード90乃至107の各々はバスチップとも呼ばれる集積回路を有しており、それは、該バスのビットラインを有すると共に、そのビットラインに対する全てのバスドライバ及びバスレシーバを有している。例えば、カード90上の集積回路118は、バスの1つのビットラインを有すると共に、プラグインモジュール110乃至117の各々に対する関連したバスドライバ及びバスレシーバを有している。各プラグインモジュール110乃至117に対し、集積回路118は一对のワイヤを有しており、そのうちの1つは集積回路118内のビットラインへの入力のためのポイントからポイント即ち点から点へのリンクであり、且つ他方のものは集積回路118内のビットラインから出力端へのポイントからポイント即ち点から点へのリンクである。例えば、一对のワイヤ121は、コネクタ131を介して、集積回路118とプラグインモジュール110との間に接続さ

れている。一对のワイヤ122は、コネクタ132を介して、集積回路118とプラグインモジュール111との間に接続されている。一对のワイヤ123は、コネクタ133を介して、集積回路118とプラグインモジュール112との間に接続されている。一对のワイヤ124は、コネクタ134を介して、集積回路118とプラグインモジュール113との間に接続されている。一对のワイヤ125は、コネクタ135を介して、集積回路118とプラグインモジュール114との間に接続されている。一对のワイヤ126は、コネクタ136を介して、集積回路118とプラグインモジュール115との間に接続されている。一对のワイヤ127は、コネクタ137を介して、集積回路118とプラグインモジュール116との間に接続されている。一对のワイヤ128は、コネクタ138を介して、集積回路118とプラグインモジュール117との間に接続されている。例えば接地又は電源ラインとすることが可能な共通ライン130は、コネクタ131乃至138を介して、集積回路118及びプラグインモジュール110乃至117の各々へ夫々接続されている。集積回路118のライン140及び141は、接地、電源等のための雑多な入力端である。

【0036】図6は、本発明に基づくバスチップがどのようにして同期型(クロック型)バスに対して実施されるかを示した単純化した概略図を示している。クロック源が集積回路72の入力端59へ配置されている。集積回路72は、全てのプラグインモジュールに対しバスレシーバを有している。例えば、図6において、バスレシーバ58と、バスレシーバ63と、バスレシーバ73と、バスレシーバ74とが示されており、その各々は、集積回路72とプラグインモジュールとの間のポイントからポイント即ち点から点へのリンクを駆動する。例えば、プラグインモジュール88は、ライン61を介して、ゲート51へのクロック信号を受取る。プラグインモジュール89は、ライン66を介して、ゲート69へのクロック信号を受取る。

【0037】バスライン83はバスチップ75内に含まれている。バスドライバ及びバスレシーバは、各プラグインモジュールとバスラインとの間にポイントからポイント即ち点から点への接続を与える。例えば、図6において、バスレシーバ78と、バスドライバ79と、バスレシーバ82と、バスドライバ57と、バスドライバ77と、バスレシーバ87と、バスドライバ76と、バスレシーバ64とが示されている。各バスドライバ及びバスレシーバは、プラグインモジュールとの点から点へのリンクを有している。例えば、バスドライバ57は、ライン60を介して、プラグインモジュール88へ接続されている。バスレシーバ82は、ライン85を介して、プラグインモジュール88へ接続されている。バスドライバ76は、ライン84を介して、プラグインモジュー

ル89へ接続されている、バスレシーバ64は、ライン80を介して、プラグインモジュール89へ接続されている。

【0038】プラグインモジュール88がデータを送信する場合、送信されるべきデータは、送信ラッチ52の入力端53上に配置される。プロトコルロジック50は、ゲート51を介して、入力端53上のデータの点から点へのリンクライン60への転送を制御する。

【0039】プラグインモジュール89がデータを受信する場合には、データは、受信ラッチ68へのポイントからポイント即ち点から点へのリンクライン80から受取られる。プロトコルロジック70は、ゲート69を介して、受信ラッチ68の出力端71へのデータの転送を制御する。

【0040】図7は、バスチップとプラグインモジュールとの間のインターフェース回路のCMOS実現例を示している。プラグインモジュール150内において、送信ラッチ出力段は、電源ライン160と接地ライン159との間に図示した如くに接続されたトランジスタ156及びトランジスタ157から構成されている。バスライン171へ伝送されるべきデータは、送信ラッチ出力段の入力ライン158上に配置される。高速伝送の場合には、ポイントからポイント即ち点から点へのリンクライン152の約100Ωのインピーダンスとマッチする抵抗154を付加させることが可能である。

【0041】更に、プラグインモジュール150内において、受信ラッチ入力段は、電源ライン160と接地ライン159との間に図示した如くに接続されているトランジスタ161及びトランジスタ162から構成されている。ポイントからポイント即ち点から点へのリンクライン153を介してバスライン171から受取られるデータは、受信ラッチ入力段の出力ライン163上に配置される。

【0042】バスチップ151は、バスライン171へ接続された全てのプラグインモジュールに対しバスドライバ及びバスレシーバを有している。例えば、バスライン171に対するバスドライバは、図示した如くに接続されたトランジスタ164と、トランジスタ165と、トランジスタ166とを有している。バスライン171に対するバスレシーバは、図示した如くに接続されたトランジスタ167と、トランジスタ168と、トランジスタ169と、トランジスタ170とを有している。高速伝送の場合には、点から点へのリンクライン153における約100Ωのインピーダンスとマッチする抵抗173を付加させることが可能である。抵抗172は、バスライン171と電源ライン160との間に抵抗値を与えるべく作用する。例えば100KΩの抵抗175は、ポイントからポイント即ち点から点へのリンクライン152にモジュールが取付けられていない場合に、バスドライバを高インピーダンス状態とさせるべく作用する。

【0043】図8は、バスチップと各プラグインモジュールとの間での遅延をどのようにして等しくすることが可能であるかを示している。これは、バスチップと各プラグインモジュールとの間の点から点へのリンクラインの長さを等しくすることにより行なうことが可能である。例えば、カード180上のライン182はバスチップ183をコネクタ181へ接続している。ライン182は等しい長さであるように付設されている。同様に、ライン183は、ライン182のレイアウトの鏡像関係にあるパターンでバスチップ184とコネクタ185との間に付設させることが可能である。

【0044】図9は、バスバックプレーンに対するコンフィギュレーション即ち形態の概略平面図を示している。コネクタ191乃至198は、バスバックプレーンの2つの側部上に配置して示されている。複数のカードがコネクタ191乃至198の間にスタック即ち積層されている。図9において、頂部のカード190のみが示されている。カード190は、バスチップ200を有しており、該チップ200は各コネクタ191乃至198に対して専用の2本のラインを有している。各コネクタに対して、これら2本のラインは、バスチップが単一のバスラインのみを有している場合、送信ラインと受信ラインとを有することが可能である。バスチップ200が2本のバスラインを有している場合、各ラインは送信及び受信の両方のために信号を通過させる。この場合において、バスチップ200は、以下に更に詳細に説明する如く、トライレベル論理を実行する。接地ライン200は、コネクタ199を介して、バスバックプレーンへ接続されている。電源ライン203は、コネクタ201を介して、バスバックプレーンへ接続されている。

【0045】図10は図9に示したバスバックプレーンの概略側面図を示している。完全に組立てられると、バスバックプレーンのスロット216の各々の中に1個のカードが存在している。該カードのうちの殆どはバスチップを有しているが、幾つかのカードは、バスチップを有していない場合がある。なぜならば、そのカードへ接続されている全てのバスコネクタピンは接地又はVCCに割当てられている場合があるからである。このことは、通常、複数のカードからなるスタック即ち積層体の頂部及び底部上の数個のカードに対していえることである。図10において、バスカード190と、バスカード211と、バスカード213と、バスカード215のみが示されている。前述した如く、各バスチップは1本又は2本のバスラインを有している。

【0046】図10に示した如く、バスコネクタ上のピン間の間隔は、バスチップの高さを許容するのに充分なものであることが必要である。しかしながら、バスコネクタ上のピン間の典型的な間隔は100ミルである。従って、バスチップモジュールを可及的に薄くさせることが必要である。図11乃至13は、バックプレーンの高

さを更に小さくすることが可能な方法を示している。

【0047】例えば、図11に示した如く、カード221乃至223上に夫々バスチップ226乃至228を配置させる場合に、互い違いとすることにより、カード221内の孔224及びカード222内の孔225を穿設することを可能としている。別法として、バスチップは、カード内の孔内に装着させることが可能である。図12に示した如く、バスチップ234はカード231内の孔内に装着されており、バスチップ235はカード232内の孔内に装着されており、且つバスチップ236はカード233内の孔内に装着されている。別の解決方法は、エポキシ被覆を使用して、カード上に直接的にバスチップダイをマウントすることである。図13に示した如く、バスチップダイ244は、エポキシ被覆247を使用してカード241上にマウントされており、バスチップダイ245はエポキシ被覆248を使用してカード242上にマウントされており、且つバスチップダイ246はエポキシ被覆249を使用してカード243上にマウントされている。

【0048】図14は、バスチップとプラグインモジュールとの間のポイントからポイント即ち点から点へのリンクラインの長さを最小としたバスバックプレーンコンフィギュレーション即ち形態を示している。図示した如く、プラグインモジュール250は、バスバックプレーンの周りにスター形態で配列されている。バスチップ252は、バスバックプレーンのトップレベルとして示されている。該バスチップは、コネクタ251を介して、プラグインモジュール250へ接続されている。バスバックプレーンの長さ延在するパワーポスト（電源柱体）253がバスバックプレーンへパワー即ち電力を供給する。各バスチップは、スタンダードな2レベル論理を有する単一のバスラインを有するか、又はトライレベル（3レベル）論理を使用することが可能な2本のバスラインを有することが可能である。

【0049】図15は、単一のバスライン272を有するバスチップのCMOS実施例を示している。抵抗274は、バスライン272と電源ライン271との間に抵抗値を与えるべく作用する。バスドライバ入力ライン261は第一プラグインモジュールへ接続されている。バスドライバ入力ライン262は第二プラグインモジュールへ接続されている。バスドライバ入力ライン263は第三プラグインモジュールへ接続されている。バスドライバ入力ライン264は第四プラグインモジュールへ接続されている。バスドライバ回路は、バスライン272を、バスドライバ入力ライン261乃至264から分離している。例えば、トランジスタ277と、トランジスタ278と、トランジスタ279とから構成されるバスドライバ回路が、バスドライバ入力ライン261へ接続して示されている。抵抗279は、例えば、100KΩであり、それはバスドライバ入力ライン261へモジュ

ールが接続されていない場合に、そのバスドライバを高インピーダンス状態とさせるために使用されている。同様に、トランジスタ280と、トランジスタ281と、トランジスタ282とから構成されるバスドライバ回路がバスドライバ入力ライン262へ接続して示されている。例えば100KΩの抵抗289は、バスドライバ入力ライン262へモジュールが接続されていない場合に、そのバスドライバを高インピーダンス状態とさせるために使用されている。

10 【0050】バスレシーバ出力ライン266が第一プラグインモジュールへ接続されている。バスレシーバ出力ライン267が第二プラグインモジュールへ接続されている。バスレシーバ出力ライン268は第三プラグインモジュールへ接続されている。バスレシーバ出力ライン269は第四プラグインモジュールへ接続されている。

【0051】バスレシーバ回路は、バスライン272を、バスレシーバ出力ライン266乃至269から分離している。例えば、電源ライン271と接地ライン270との間に図示した如くに接続されているトランジスタ275及びトランジスタ276から構成される回路がライン273をバスライン272から分離している。トランジスタ283と、トランジスタ284とから構成されるバスレシーバ回路は、ライン273とバスレシーバ出力ライン266との間に接続されている。同様に、トランジスタ285及びトランジスタ286から構成されるバスレシーバ回路が、ライン273とバスレシーバ出力ライン267との間に接続して示されている。

【0052】図15によって示される具体例においては、各モジュールへ帰還して接続されることを必要とするトライステート制御ラインを回避するために、トライステートバスの代わりに、オープンドレインワイヤーORバスが使用されている。トライステートバスは、各モジュールに対する点から点へのリンクの数を3へ増加させる。一方、共通トライステートラインは、データ/アドレス経路の全体的な幅に対して使用することが可能であり、制御される1組のラインに対し単に1つの付加的なリンクを必要とするに過ぎない。しかしながら、このことは、バスモジュール間の相互接続を必要とし、そのことは、バックプレーンシステムの複雑性を増加させる。ワイヤーORバスは、これらの問題を回避し且つバックプレーンの電気-機械的構成を簡単化させる。

40 【0053】バスから離れる場合に、プラグインモジュールは、単に、解放されることを必要とする全てのライン上に高状態又は高インピーダンス状態を出力する。このことは、別のモジュールがバスを駆動することを可能とする。トライステートバスドライバが従来好適とされている。なぜならば、高ダイナミック電流を供給する積極的なプルアップのためである。しかしながら、バスチップ上のバスノードのノード容量が非常に低いので、このことは、本発明を使用する構成に対しては問題ではな

い。

【0054】例えば、16モジュールバスチップは、1ミクロンのCMOS技術において約1pFの容量を有するものと予測される。このことは、1ナノ秒の時定数に対し1K $\Omega$ のプルアップ抵抗を必要とするに過ぎない。このことは、典型的な5mAの供給電流となり、又チップ全体に対する5Vの電源電圧において25mWのDC電力消費となる。図15に示したCMOS具体例は、0.7乃至0.8Vのスタンダードなトランジスタスレッシュホールドの場合最低で3.3Vまでの任意の電源電圧において使用することが可能である。

【0055】非反転バスドライバ及びバスレシーバが、2つの理由のために、図15に示した実施例内に示されている。第一に、オープンドレインバスドライバの前にスタンダードなインバータを使用することは、その入力端がスタンダードなCMOSスレッシュホールドを有することを可能としている。第二に、バス入力容量は、最小寸法のオープンドレインバスドライバトランジスタ及びバスノードへ接続された単一のバスレシーバインバータ段入力端とそれに続く各モジュールに対しての別のバスレシーバ出力端を使用することにより最小とさせることが可能である、しかしながら、反転用バスドライバ及びバスレシーバは、例えばオープンコレクタバイポーラ実施例等のようなある技術においてはより高速を与えることが可能である。

【0056】例えば、図16は、バスチップ内のバスドライバ及びバスレシーバがどのようにしてTTLロジックを使用して実現することが可能であるかを示している。抵抗291は、バスライン290と電源ライン298との間に抵抗値を与えている。バスライン290及び抵抗291は、バスチップ内の全てのバスドライバ及びバスレシーバに対して共通である。バスドライバ回路は、バスドライバ入力端292とバスライン290とを接続している。バスドライバ回路は、電源ライン298と接地ライン299との間に図示した如くに接続されている抵抗294とトランジスタ295とから構成されている。バスレシーバ回路は、バスレシーバ出力端293をバスライン290と接続している。バスレシーバ回路は、電源ライン298と接地ライン299との間に示した如くに接続されている抵抗297とトランジスタ296とから構成されている。

【0057】図17は、集積回路のスタンダードなECL実施例を示している。単一のバスライン306はオープンエミッタワイヤーORバスであり、それは、全てのバスドライバ入力端が低状態である場合に、バスライン306上の低状態に対応する高インピーダンス状態を有している。これは、オープンコレクタ/ドレイン形態の反対であって、その場合には、高インピーダンス状態はバスライン上において高状態である。バスライン306は、電流源305を介して、例えば、-4.5Vの電圧

にある $V_{EE}$ 電圧源へ接続されている。集積回路上の全てのバスドライバに対して共通の抵抗303が、典型的に0Vである $V_{\alpha}$ ライン301へ接続されている。抵抗321及び抵抗331は、入力バスドライバライン311に対するバスドライバとして作用する。抵抗322及び抵抗332は、入力バスドライバライン312に対するバスドライバとして作用する。抵抗323及び抵抗333は、入力バスドライバライン313に対するバスドライバとして作用する。各付加的な入力バスドライバラインに対し、付加的なトランジスタ及び抵抗が付加される。

【0058】抵抗304及びトランジスタ307は全てのバスレシーバに対して共通である。トランジスタ307は、例えば、-1.3Vのスタンダードな100KECLスレッシュホールドにバイアスされたベースを有している。トランジスタ326は、バスレシーバ出力端316に対するバスレシーバとして作用する。トランジスタ327は、バスレシーバ出力端317に対するバスレシーバとして作用する。トランジスタ328はバスレシーバ出力端318に対するバスレシーバとして作用する。

【0059】図18は、集積回路内の単一のバスライン342に対するバスドライバ及びバスレシーバの別のECL実施例を示している。 $V_{\alpha}$ ライン341は典型的に0Vである。 $V_{EE}$ ライン340は、典型的に、-4.5Vである。抵抗345は、単一のバスライン342に接続されている全てのバスドライバに対して共通である。バスドライバ入力端343は、トランジスタ344を有するバスドライバへ接続されている。バスドライバ入力端336は、トランジスタ334を有するバスドライバへ接続されている。バスドライバ入力端337は、トランジスタ335を有するバスドライバへ接続されている。トランジスタ346は、バスレシーバ出力端347と、バスレシーバ出力端348と、バスレシーバ出力端349とに対して共通である。

【0060】上述した各モジュールに対する二重のポイントからポイント即ち点から点へのリンクの欠点のうちの1つは、それが、各バス信号ラインに対し2つのコネクタピンを必要とするという点である。それは、更に、2つのピンが、モジュール内のバスプロトコル/インターフェースチップ上の各信号ラインに対して専用のものとする必要を意味している。60本のアクティブなバスラインを有する32ビットバスはチップのバス側のみで120本のラインを必要とするので、このことは、単一のVLSIチップに対する全体的なバスインターフェースを減少させる上で厳しい制限となる場合がある。この制限は、2つの方法のうちの何れかで解消することが可能である。本発明においてデータ伝送レートを増加させることが可能であるので、バスプロトコルチップのモジュール側で各ワードに対しバス上で複

数個の伝送を行なうことにより、バスデータ／アドレス経路幅を減少させることが可能である。例えば、従来のバスシステムの4倍の速度で稼動する8ビットバスインターフェースは、32ビットシステムに対する従来のバスと同一のデータレートを維持することが可能であるが、上述した120本のラインの1/4の数のラインを必要とするに過ぎない。2番目のアプローチは、各バスラインに対し単一のポイントからポイント即ち点から点へのリンクライン上でバスチップへ及びバスチップからデータを送給するためにトライレベル即ち3レベル方法を使用することである。

【0061】図9は、バスドライバ及びバスレシーバのCMOS実施例を示しており、その場合、バスチップ351内のバスライン365に対し、単一の点から点へのリンクライン352が、プラグインモジュール350をバスチップ351へ接続している。プラグインモジュール350は、典型的に5Vである電源ライン354と、接地ライン355とを有している。プラグインモジュール350内には、入力端353上に配置されたデータに対するリンクドライバとも呼ばれる送信ラッチ出力段が、図示された如くに接続されているトランジスタ361と、トランジスタ359と、抵抗360とを有している。出力ライン356へ受取られるデータに対しリンクレシーバとも呼ばれる受信ラッチ入力段は、トランジスタ358とトランジスタ357とを有している。トランジスタ357は、電流源として機能し、且つ、例えば、2Vのトランジスタ357のゲート378上の電圧バイアスを有している。

【0062】バスチップ351は、典型的に5Vにある電源ライン362と、0Vにある接地ライン363とを有している。バスドライバは、トランジスタ366と、トランジスタ367と、トランジスタ368とを有している。抵抗371及びトランジスタ370は、バスライン365上の全てのバスドライバに対しバイアスノード379において電流源バイアスを与える。トランジスタ369は、バスライン365に対しプルアップ電流を与える。トランジスタ366及び369は、電流源として機能し、その電流の流れは抵抗371の値により制御される。抵抗371は、オプションのプログラム可能な電流源抵抗であり、それは、トランジスタ366及び369を介して流れる電流を制御することにより、バスチップ351を介しての遅延を制御する。バスチップ351内に示してあるが、抵抗371は、抵抗値をより容易に変更することを可能とするために、バスチップ351の外部に配置させることも可能である。電流源を変化させるために抵抗371を使用することにより、処理変動に起因するバスチップ遅延の変化を補償することが可能であり且つチップ毎のスキューを最小とすることを可能とする。トランジスタ366と、トランジスタ369と、トランジスタ370と、抵抗371とから構成されるこ

の電流源回路は、更に、チップ毎のスキューを最小とするためにバスチップを介しての遅延の温度変動に対する補償を与えるような温度傾向を有するように設計することも可能である。

【0063】バスレシーバは、図示した如くに接続したトランジスタ373と、トランジスタ374と、トランジスタ375と、トランジスタ376とを有している。これら全てのトランジスタのスレッシュホールド電圧は約0.75Vである。従って、バスドライバ入力トランジスタ367に対するターンオン電圧は0.75Vである、同様に、受信ラッチ入力トランジスタ358は4.25V ( $V_{\alpha}$ -トランジスタ358のスレッシュホールド電圧 (より下の電圧でターンオンされる。入力353に高状態が印加されると、トランジスタ359はターンオンされ且つトランジスタ361はターンオフされる。このことは、点から点へのリンクライン352を低状態とさせる。トランジスタ358のゲートは低状態であり、それはトランジスタ358をターンオンさせる。又、トランジスタ367のゲートが低状態であり、それによりトランジスタ367がターンオフされ、その結果、トランジスタ368がターンオンされ且つバスライン365は低状態へプルされる。バスレシーバ出力377が初期的に高状態にある場合もあるが、それは、抵抗372により点から点へのリンクライン352から分離されたままである。バスライン365がアクティブ低であると、このことはトランジスタ376をターンオフし且つトランジスタ375をターンオンしてノード364を高状態へプルする。このことは、トランジスタ373をターンオンし且つトランジスタ374をターンオフしてバスレシーバ出力端377を低状態へプルする。従って、リンクドライバが点から点へのリンクライン352を低状態へ駆動している場合、この状態は正確にバスライン365へ伝達され且つリンクレシーバへ伝達される。

【0064】入力端353が低状態とされると、トランジスタ359がターンオフされ且つトランジスタ361がターンオンされる。抵抗360は抵抗372と等しく選択されているので、点から点へのリンクライン352上の電圧が2.5Vへプルアップされる。トランジスタ358はオンであるので、そのゲート電圧が4.25Vより低い場合には、トランジスタ358はオン状態を維持し且つ出力ライン356は高状態を維持する。しかしながら、トランジスタ367はターンオンされ、そのことは、トランジスタ368をターンオフさせてバスを解放させる。バスライン365がその他の何れかのプラグインモジュールにより低状態に保持されている場合には、バスレシーバ出力端377が低状態を維持する。そうでない場合には、バスライン365は電流源369により高状態へプルされ、トランジスタ375をターンオフし且つトランジスタ376をターンオフして、ノード

364を低状態へプルする。このことは、トランジスタ373をターンオフし且つトランジスタ374をターンオフして、その結果バスレシーバ出力端377を高状態とさせる。バスレシーバ出力端377が高状態であると、点から点へのリンクライン352が高状態(5V)となり、その結果トランジスタ358がターンオフされ且つ出力ライン356が低状態とされる。上述したことから理解される如く、リンクドライバ出力が高状態

(2.5V又は5V)であると、バスドライバ出力端(即ち、トランジスタ368の出力端)が解放されるが、バスライン365のステータス(状態)がバスドライバを乱すことなしに、点から点へのリンクライン352を介して正確にリンクレシーバへ通過される。

【0065】抵抗360及び372の抵抗値は、動作速度に対して必要とされる時定数に対して選択することが可能である。例えば、点から点へのリンクライン352が6インチである場合には、トレース容量は、約10pFであり且つ各端部上のチップ負荷は、5pFであり、その結果全体として20pFとなる。この場合には、抵抗360及び372の各々が200Ωの抵抗値を有すべく選択されている場合には、その接続部の時定数は2ナノ秒であり、それは最大で50メガ伝送/秒迄のものに対して充分である。該リンクは、ランプ型の負荷として近似させることが可能である。なぜならば、該リンクの伝搬遅延(0.85ナノ秒)はライズタイム即ち上昇時間よりも著しく小さいからである。抵抗360及び372の抵抗値が点から点へのリンクライン352の特性インピーダンス、即ち約100Ωに等しく選択される場合には、図19に示したトライレベル回路は、全ての条件下において完全な終端即ち成端を与え、点から点へのリンクライン352が伝送線の如くに挙動する場合に、極めて高いデータレートで動作することを可能とする。

【0066】プラグインモジュール350内に抵抗360を設けることが望ましくない場合がある。なぜなら、処理変動により、抵抗360の抵抗値変化が抵抗372の抵抗値に対して高々20%異なる場合があるからである。このような変動は、2.5Vの中間電圧を高々0.5V変化させる場合があり、従ってノイズマージンを多少減少させることがある。

【0067】図20は、別の実施例を示している。プラグインモジュール380は、トランジスタ361及び抵抗360を除去した点においてのみプラグインモジュール350から異なっている。バスチップ381は、点から点へのリンクライン352と電源ライン362との間に抵抗360を配置した点においてのみバスチップ351と異なっている。このように、抵抗372及び抵抗360は、処理変動に基づいて互いに変化することはない。しかしながら、その結果はオープンドレイン送信ラッチであり、それは、図9に示した構成と比較して、ある条件下においては、該リンクをプルダウンするために

2倍の電流をシンク即ち吸込むことが必要である。図9に示したものと比較してこの実施例の更に別の利点は、点から点へのリンクライン352へモジュールが接続されていない場合には、抵抗360を介して電源ライン360がトランジスタ367のゲートを高状態へプルし、バスドライバの出力端を高インピーダンス状態とさせることである。

【0068】トライレベル回路はその他の技術で実現することも可能である。例えば、プラグインモジュール内のラッチの出力/入力段として使用されるスタンダードなTTL又はCMOSトリステートバスドライバ及びバスレシーバに対して直接的にインターフェースすることの可能なECL及びTTL技術の組合わせを使用してトライレベルバスチップを構成することが可能である。このことは、既存のプラグインモジュールで動作することを可能とする。

【0069】図21乃至24は、バスオーナーチップ(チップ上のバス)バックプレーンを使用したマイクロコンピュータの別の実施例を示している。図21においては、コンピュータ箱体390内のマザーボード391が、バスコネクタ392及び電源コネクタ393を介して、バスバックプレーン394へ接続されている。プラグインモジュール395は、バスコネクタ396を介して、バスバックプレーン394へ接続されている。図22においては、コンピュータ箱体400内のマザーボード401がバスバックプレーン404へ接続されている。プラグインモジュール405は、バスコネクタ406を介して、バスバックプレーン404へ接続されている。コンピュータ箱体400内には更に電源407と、ハードディスク408と、フロッピーディスク409とが示されている。図23においては、マザーボード411は、コンピュータ箱体410内に、電源417及びディスクドライブ418と共に示されている。マザーボード411は、可撓性のリボンケーブル419を介して、拡張箱体412内のバスバックプレーン414へ接続されている。プラグインモジュール415は、バスコネクタ416を介して、バスバックプレーン414へ接続されている。図24においては、コンピュータ箱体420内のマザーボード421はバスバックプレーン424へ接続されている。プラグインモジュール425は、バスコネクタ426を介して、バスバックプレーン424へ接続されている。コンピュータ箱体420内には、更に、電源427及びディスクドライブ428が示されている。

【0070】本発明は、バストポロジ以外のその他の相互接続トポロジへ拡張させることが可能である。例えば、図5に示したバックプレーンの場合、多数の相互接続トポロジは、カード90乃至107上のバスチップを、他のタイプの相互接続トポロジを実施するレシーバ、ドライバ及びロジックを有する集積回路と単に置換

させることにより実現することが可能である。例えば、図25は、集積回路510上の1ビットのリングバックプレーンの物理層実施例を示している。モジュールは、点から点へのリンクライン511乃至518を介して集積回路501上に実現されたリングへ接続されている。集積回路501内において、点から点へのリンクライン511乃至518は、相互接続ドライバ531乃至538を介して且つ相互接続レシーバ521乃至528を介して該リングとインターフェースとする。

【0071】リングトポロジを使用するバックプレーンにおいては、全てのモジュールが直列接続されてリングを形成するように1つのモジュールの出力端はシーケンスにおける別のモジュールの入力端へ接続される。1つのモジュールから伝送されるデータは、宛先モジュールへ到達する前に、その他の多数のモジュールを介して通過する。例えばレジスタ挿入リング即ちトークンリング等のような何らかのタイプのプロトコルが、リングアクセス、アドレス及びデータ伝送のために使用される。宛先アドレス等のような制御情報は、データストリームの一部として、又は別の1本又は複数本のビットラインを使用することにより送給することが可能である。

【0072】リングトポロジは、より高いデータ伝送レートをサポートすることが可能であり、且つリングトポロジ及びリングプロトコルの本来的な利点に起因して、バスよりも一層効率的にブロードキャスト媒体の帯域幅を使用することが可能である。従って、リングトポロジは、しばしば、バストポロジでは帯域幅条件をサポートすることが不可能であり従ってリングトポロジ及びリングプロトコルの付加的な複雑性が正当化される場合に、コンピュータシステムにおける相互接続のために使用される。

【0073】モジュール間に物理的接続を与えることに加えて、集積回路501は、更に、リングモニタロジック540を有することが可能であり、該ロジックは、例えば、自動検知及びバイパススイッチ551乃至558のうちの1つを使用してプラグされていないか又は不動作状態のモジュールをバイパス等の機能を実施し、従ってリングは常に閉じられており且つ動作状態にある。同様に、新たなモジュールがプラグインされる場合には、リングモニタロジック540はこれを自動的に検知し且つバイパススイッチ551乃至558のうちの1つを解放することによりそのモジュールをリング内に挿入させることが可能である。

【0074】図26は、集積回路610上の1ビットの回路スイッチ型バックプレーンの物理層実施例を示している。モジュールは、点から点へのリンクライン611乃至614を介して、集積回路601上に構成された回路スイッチへ接続されている。集積回路601内において、点から点へのリンクライン611乃至614は、相互接続ドライバ631乃至634を介して及び相互接続

レシーバ621乃至624を介して、回路スイッチマトリクスとインターフェースする。

【0075】回路スイッチ型相互接続方法は、ハイエンドのコンピュータ及びネットワークスイッチングノードにおいて使用され、モジュール間の複数個の同時的なデータ交換を行なうことを可能とする。例えば、多数のプロセッサ、例えば64個のプロセッサ又はそれ以上のプロセッサを有するマルチプロセッサシステムにおいては、バストポロジ及びリングトポロジは、共用媒体の帯域幅が制限されているので、不適切なものとなる。モジュールの対の間に複数個の同時的な接続を確立することにより、この帯域幅制限は取除かれる。しかしながら、従来のアプローチを使用する場合には、回路スイッチ型トポロジで相互接続を実現することは著しく困難である。なぜならば、中央スイッチから出入りする接続の数はかなりなものになるからである。例えば、64ビット幅のバスを有する16モジュールシステムの場合、中央のスイッチは、全二重接続のために2048本のラインと例えばクロック等のような制御信号ラインを取扱わねばならない。しかしながら、本発明を使用する場合には、各ビットのバスをカード上に存在する別の集積回路上に実現することが可能であり、且つバス幅又は制御ライン数と独立的にチップ当たり32個のピンを必要とするに過ぎない。

【0076】スイッチングロジック640は、スイッチ641乃至652を制御して、点から点へのリンクからの情報に基づいて、モジュール間において複数個の同時的なデータ交換を与える。一方、スイッチ641乃至652は、回路スイッチ型トポロジの1又はそれ以上のビットを実現する各集積回路へ点から点へのリンクにより接続されている中央制御モジュール639を使用して制御することが可能である。その他のモジュールは、接続を確立するか又は解除するためにバックプレーン上の1つ又はそれ以上のカード上に位置されている各モジュールから制御モジュールへの専用ラインを使用することにより又はバス又はリングプロトコルを使用して、別のビットライン上の制御モジュールと通信することが可能である。

【0077】以上、本発明の具体的実施の態様について詳細に説明したが、本発明は、これら具体例にのみ限定されるべきものではなく、本発明の技術的範囲を逸脱することなしに種々の変形が可能であることは勿論である。

#### 【図面の簡単な説明】

【図1】 従来の物理層バスアーキテクチャを示した概略図。

【図2】 従来の物理層バスアーキテクチャを示した概略図。

【図3】 従来の物理層バスアーキテクチャを示した概略図。



【図4】 従来の物理層バスアーキテクチャを示した概略図。

【図5】 本発明の好適実施例に基づいて構成されたバスバックプレーン及びプラグインモジュールを示した概略図。

【図6】 本発明の好適実施例に基づいて集積回路上にバスラインと共にバスレシーバ及びバスドライバが配置された物理層バスアーキテクチャを示した概略図。

【図7】 本発明の好適実施例に基づいて実現したバス用のバスドライバ及びバスレシーバを示した概略図。

【図8】 本発明の好適実施例に基づいてバスチップと各モジュールとの間の配線が等距離であることを確保するためのバスバックプレーン上の配線を示した概略図。

【図9】 本発明の好適実施例に基づいて構成された別の実施例のバスバックプレーン及びプラグインモジュールを示した概略図。

【図10】 本発明の好適実施例に基づいて構成された図9のバスバックプレーンの更に詳細な構成を示した概略図。

【図11】 本発明の好適実施例に基づいて構成された図9のバスバックプレーンの更に詳細な構成を示した概略図。

【図12】 本発明の好適実施例に基づいて構成された図9のバスバックプレーンの更に詳細な構成を示した概略図。

【図13】 本発明の好適実施例に基づいて構成された図9のバスバックプレーンの更に詳細な構成を示した概略図。

【図14】 本発明の好適実施例に基づいて構成された更に別のバスバックプレーン及びプラグインモジュールの構成を示した概略図。

【図15】 本発明の好適実施例に基づいてCMOS技術を使用して集積回路上にバスラインと共にバスレシーバ及びバスドライバを配置したバスアーキテクチャを示した概略図。

【図16】 本発明の好適実施例に基づいてTTL技術を使用して集積回路上に構成したバスレシーバ、バスドライバ及びバスを示した概略図。

【図17】 本発明の好適実施例に基づいてECLロジックのスタンダードな構成を使用して集積回路上に構成したバスレシーバ、バスドライバ及びバスを示した概略図。

\*

\* 【図18】 本発明の好適実施例に基づいてスタンダードでないシフト型ECLロジック構成を使用して集積回路上に構成したバスレシーバ、バスドライバ及びバスを示した概略図。

【図19】 本発明の好適実施例に基づいて単に単一ラインのトライレベル双方向リンクを使用してバス集積回路へ接続したプラグインモジュールを有するバスアーキテクチャを示した概略図。

【図20】 本発明の好適実施例に基づいて単に単一ラインのトライレベル双方向リンクを使用してバス集積回路へプラグインモジュールを接続したCMOSで構成した別のバスアーキテクチャを示した概略図。

【図21】 本発明の好適実施例に基づく着脱可能なバスバックプレーンを使用した形態の具体例を示したブロック図。

【図22】 本発明の好適実施例に基づく着脱可能なバスバックプレーンを使用した形態の具体例を示したブロック図。

【図23】 本発明の好適実施例に基づく着脱可能なバスバックプレーンを使用した形態の具体例を示したブロック図。

【図24】 本発明の好適実施例に基づく着脱可能なバスバックプレーンを使用した形態の具体例を示したブロック図。

【図25】 本発明の別の好適実施例に基づいて集積回路上にリングモニタロジックと共に相互接続レシーバ及び相互接続ドライバを配置したリングトポロジの物理層構成を示した概略図。

【図26】 本発明の更に別の好適実施例に基づいて集積回路上にスイッチングロジックと共に相互接続レシーバ及び相互接続ドライバを配置した回路スイッチ型トポロジの物理層構成を示した概略図。

【符号の説明】

57, 76, 77, 79 バスドライバ

60, 80 ポイントからポイント（点から点）へのリンクライン

64, 78, 82, 87 バスレシーバ

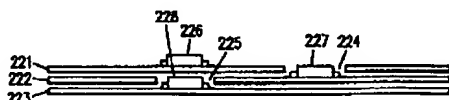
90-107 カード

110-117 プラグインモジュール

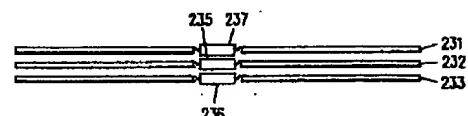
131-138 コネクタ

139 バスプロトコル回路

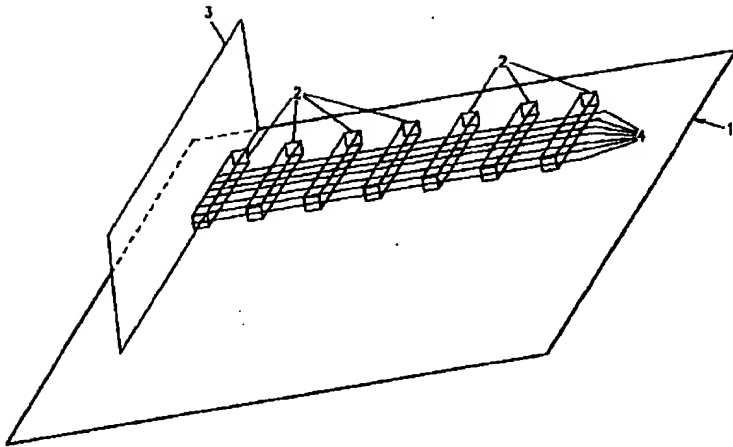
【図11】



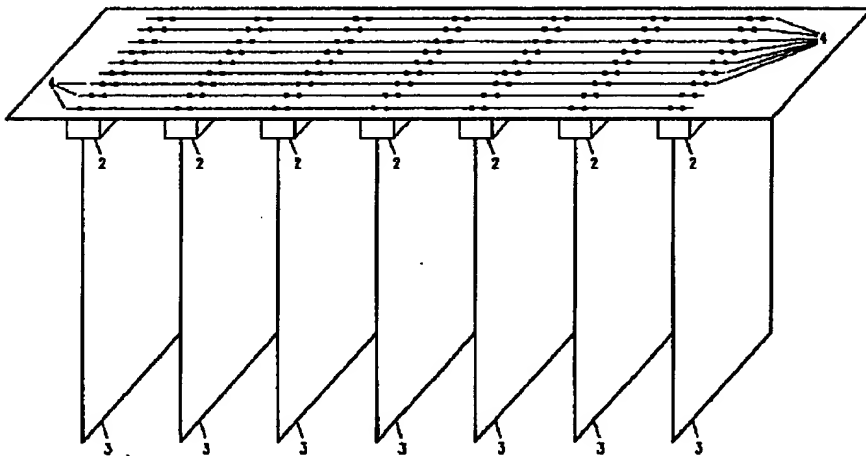
【図12】



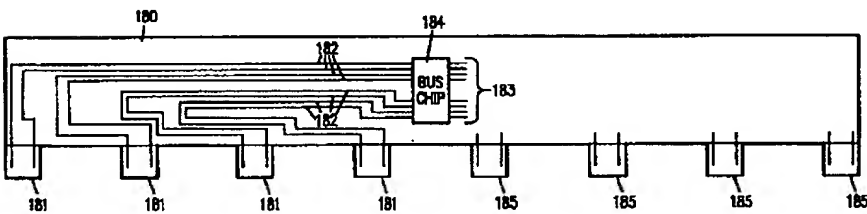
【図1】



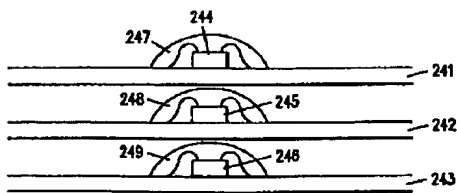
【図2】



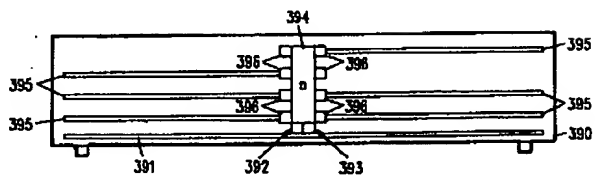
【図8】



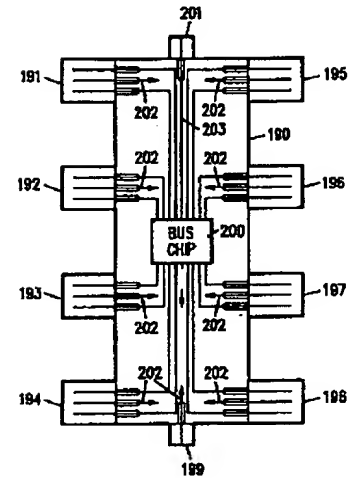
【図13】



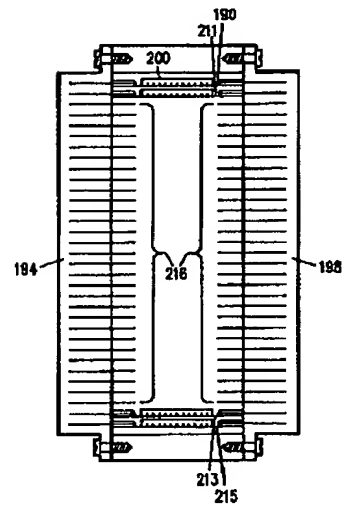
【図21】



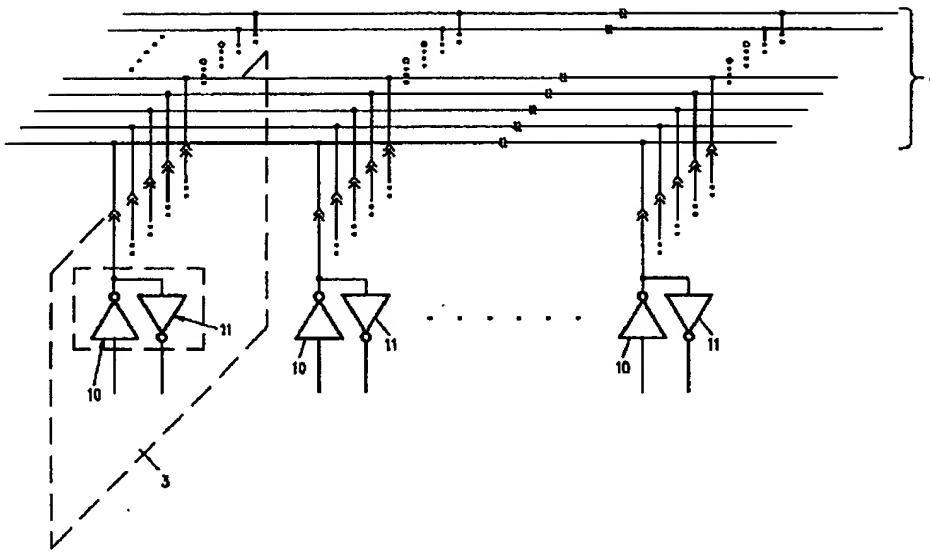
【図9】



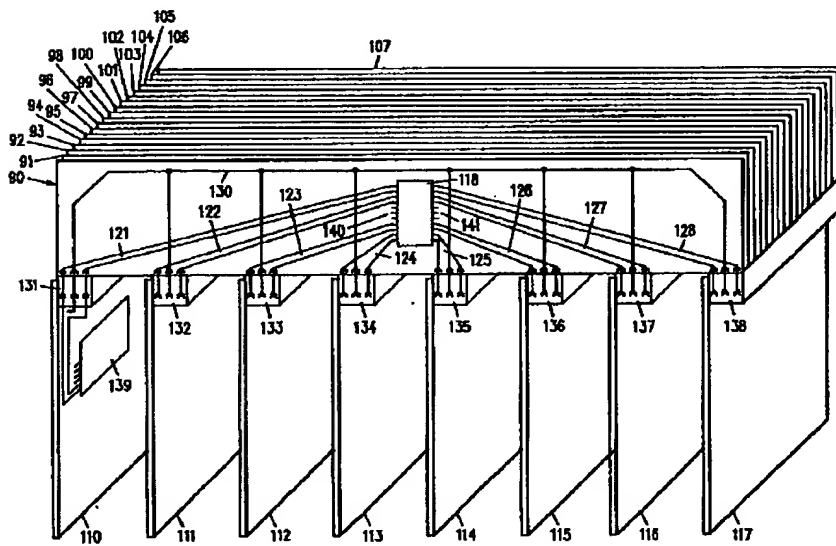
【図10】



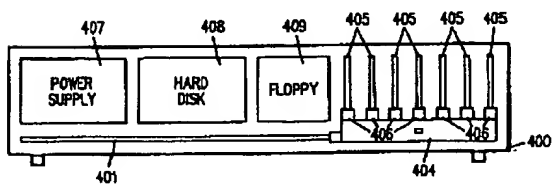
【図 3】



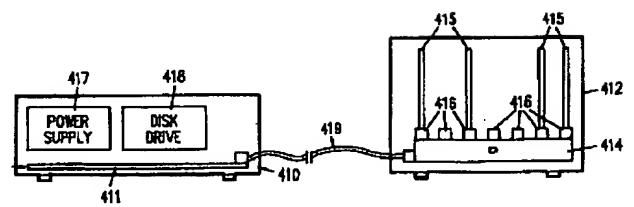
【図 5】



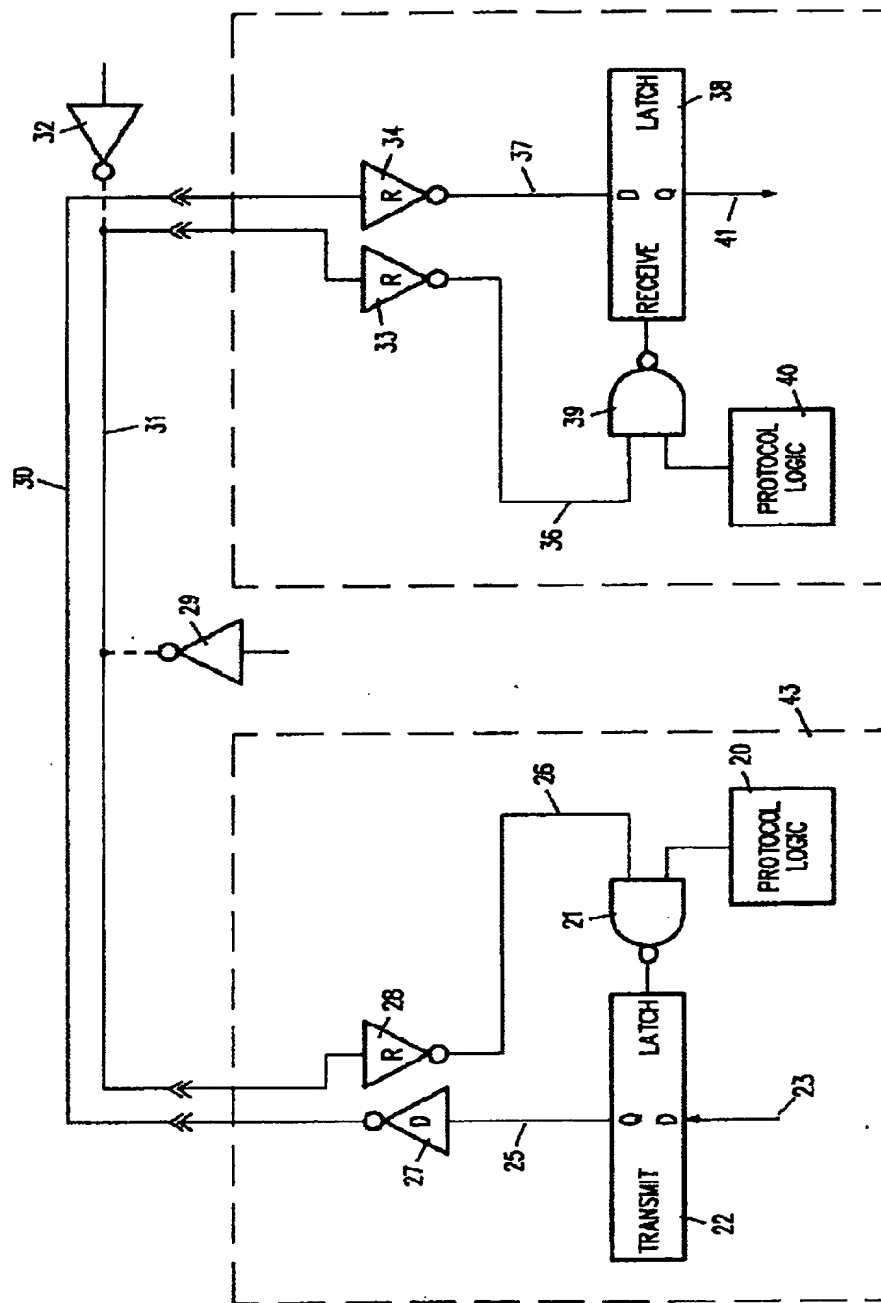
【図 2 2】



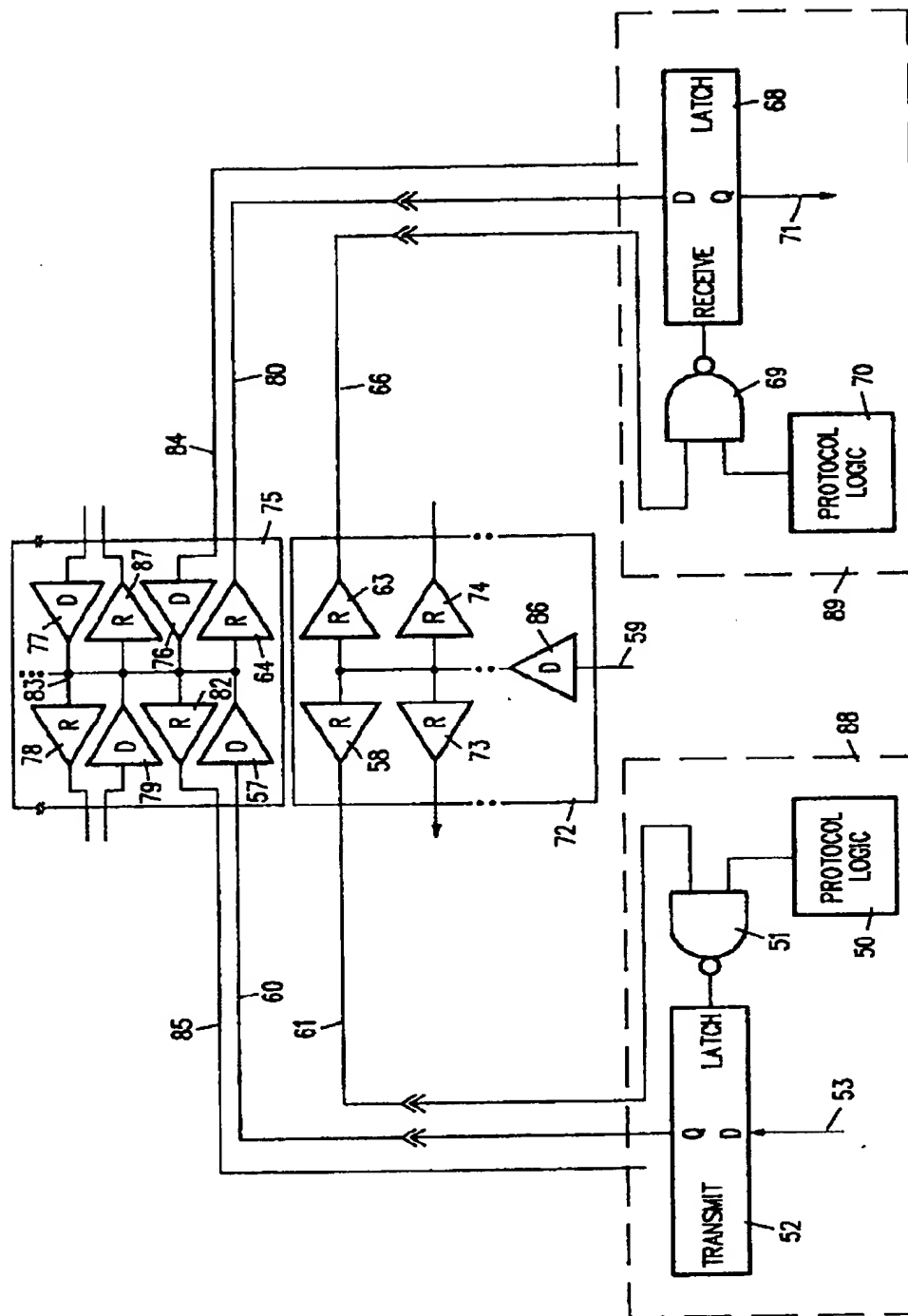
【図 2 3】



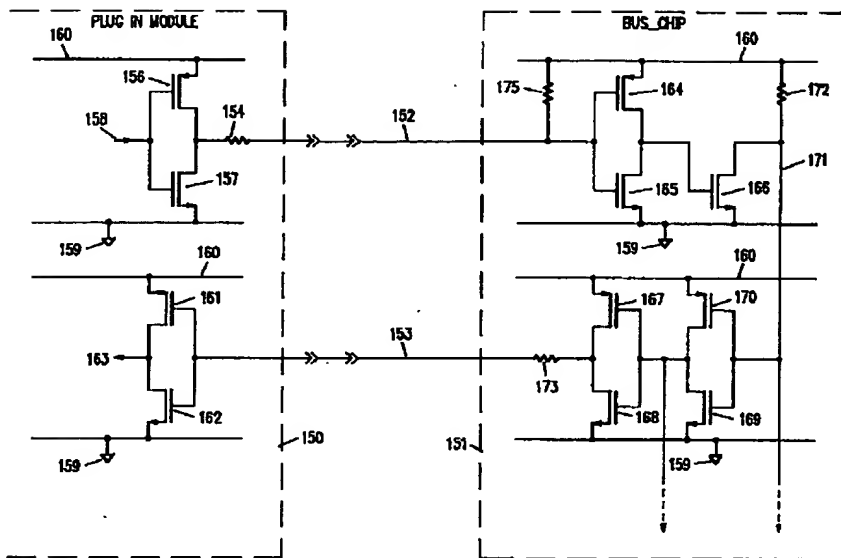
【図 4】



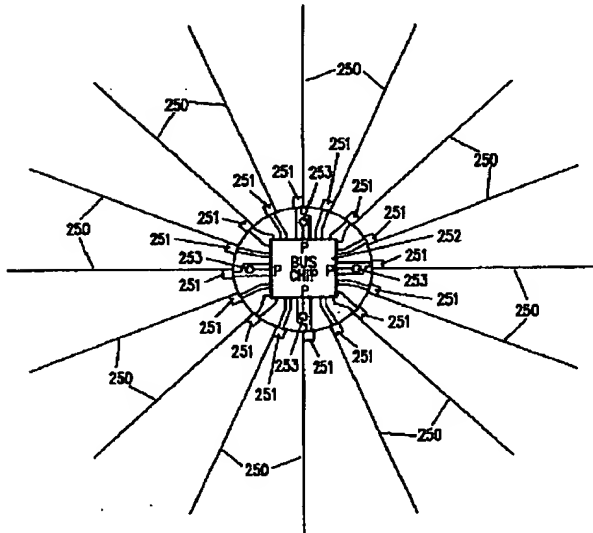
【図6】



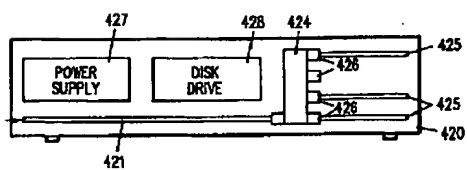
【図7】



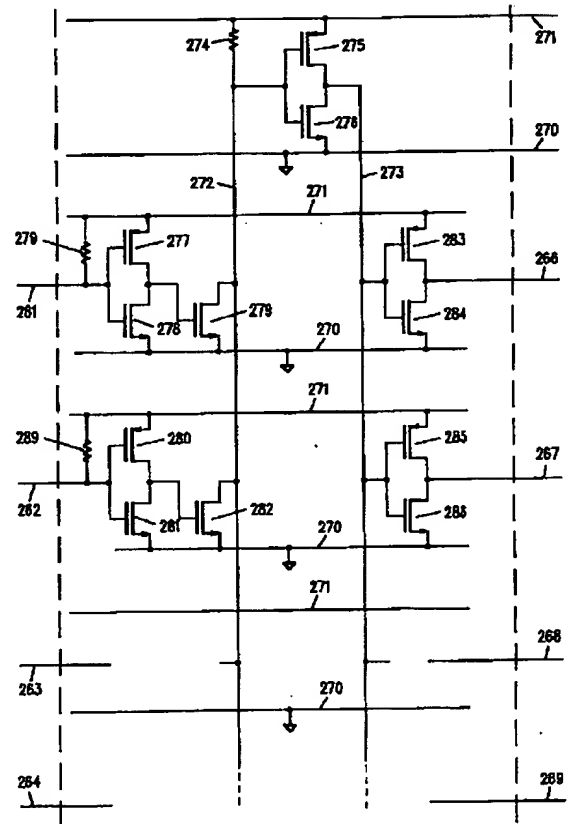
【図14】



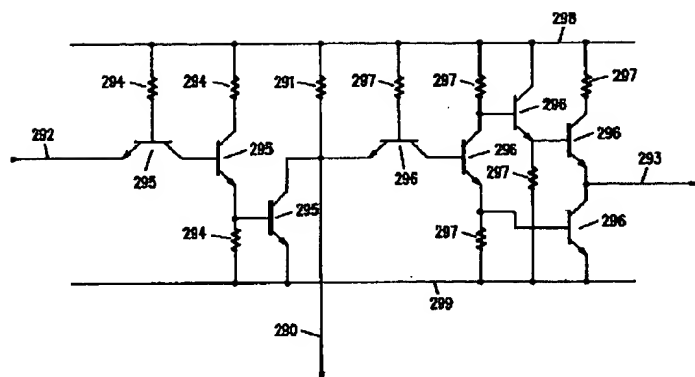
【図24】



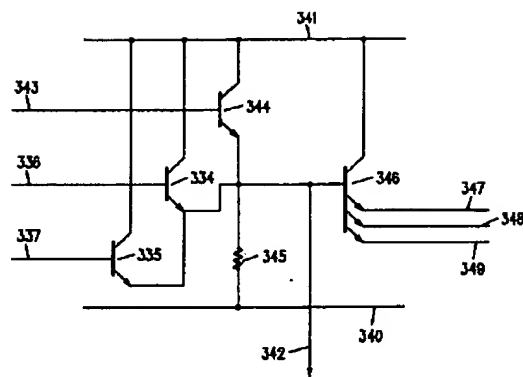
【図15】



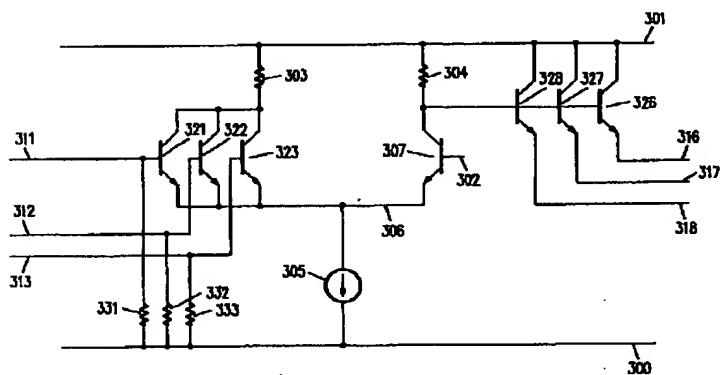
【図16】



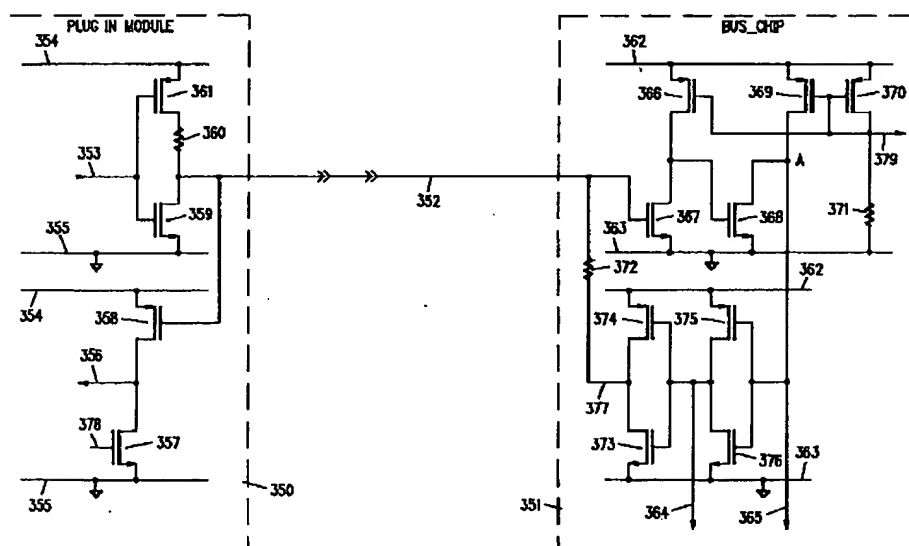
【図18】



【図17】

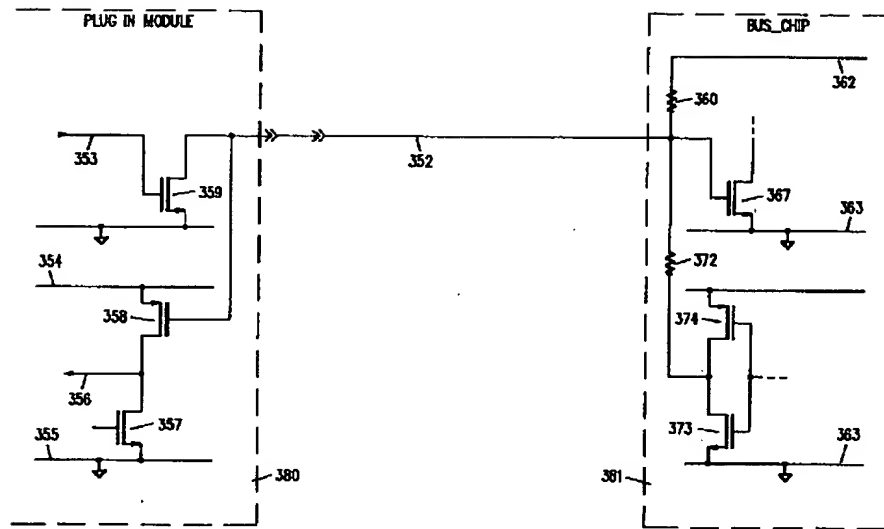


【図19】

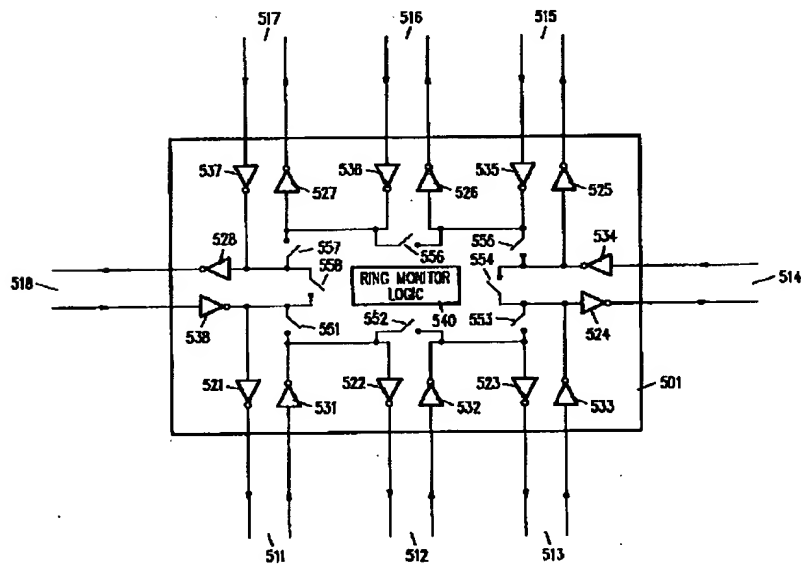




【図20】



【図25】



【図26】

